

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0054605
Application Number PATENT-2002-0054605

출원 년 월 일 : 2002년 09월 10일
Date of Application SEP 10, 2002

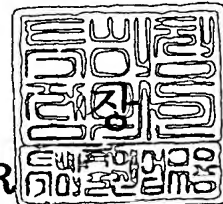
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.09.10
【국제특허분류】	H01L
【발명의 명칭】	서로 다른 두께의 금속 배선막을 갖는 반도체 소자의 제조 방법
【발명의 영문명칭】	Method for fabricating semiconductor device having metal interconnections of different thickness
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	정무경
【성명의 영문표기】	JUNG, Mu Kyoung
【주민등록번호】	710507-1845811
【우편번호】	137-130
【주소】	서울특별시 서초구 양재동 7-37번지 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	이경태
【성명의 영문표기】	LEE, Kyung Tae
【주민등록번호】	650127-1019413
【우편번호】	449-846

【주소】 경기도 용인시 수지읍 풍덕천리 진산마을삼성5차아파트
524-405
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 15 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 8 항 365,000 원
【합계】 394,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명의 반도체 소자의 제조 방법은, 커패시터 성분이 RC 지연의 주 원인인 제1 영역과 저항 성분이 RC 지연의 주 원인인 제2 영역을 갖는 반도체 소자를 제조하는 방법이다. 이 방법은, 반도체 기판 위의 절연막에 대한 1차 식각 공정을 수행하여, 제1 두께를 가지며 제1 영역에 위치한 제1 트렌치 및 제2 영역에 위치한 제2 트렌치를 형성하는 단계와, 제2 트렌치에 대한 2차 식각 공정을 수행하여, 제1 두께보다 더 큰 제2 두께를 가지며 제2 영역에 위치한 제3 트렌치를 형성하는 단계와, 제1 트렌치 및 제3 트렌치를 채우는 금속막을 형성하는 단계, 및 금속막의 일부를 제거하여 제1 트렌치 내의 제1 금속 배선막 및 제3 트렌치 내의 제2 금속 배선막을 형성하는 단계를 포함한다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

서로 다른 두께의 금속 배선막을 갖는 반도체 소자의 제조 방법{Method for fabricating semiconductor device having metal interconnections of different thickness}

【도면의 간단한 설명】

도 1 내지 도 7은 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <2> 본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 특히 다마신(damascene) 공정을 이용하여 서로 다른 두께의 금속 배선막을 갖는 반도체 소자의 제조 방법에 관한 것이다.
- <3> 일반적으로 반도체 소자를 제조하는데 있어서, 능동 소자들 및/또는 수동 소자들을 반도체 기판 위에 형성한 후에는, 그 소자들 위에 금속 배선막들을 형성하여야 한다. 반도체 소자의 집적도가 증가함에 따라, 상기 금속 배선막들은 다층 형태(multilayer forms)로 형성하는 것이 일반적이다. 다층 형태의 금속 배선막들 사이에는 절연막이 개재되며, 금속 배선막들 사이의 전기적 연결은 절연막을 관통하는 비아 컨택(via contact)에 의해 이루어질 수 있다.

- <4> 상기 다층 형태의 금속 배선막들을 포함하는 반도체 소자에 있어서, 인접하는 금속 배선막들 사이의 전기적 결합(electrical coupling)은 바람직하지 않는 경우가 많은데, 이중 소자의 속도에 큰 영향을 미치는 대표적인 것으로 RC 지연(RC delay) 현상이 있다. 상기 RC 지연이 클수록 소자의 속도는 느려지게 되므로, RC 지연을 감소시키는 것이 바람직하다.
- <5> 상기 RC 지연값에 영향을 줄 수 있는 변수들로는, 금속 배선막의 저항값에 영향을 주는 변수들과 금속 배선막들 사이의 절연막의 커패시턴스에 영향을 주는 변수들이 있다. 금속 배선막의 저항값에 영향을 주는 변수들로는, 금속 배선막을 이루는 물질의 비저항(resistivity), 금속 배선막의 폭 및 금속 배선막의 길이 등이 있다. 절연막의 커패시턴스에 영향을 주는 변수들로는, 절연막을 이루는 물질의 유전 상수(dielectric constant) 및 절연막의 두께 등이 있다.
- <6> 그런데 금속 배선막들 사이의 절연막의 커패시턴스에 의해 RC 지연값이 우선적으로 영향을 받을 수 있는 부분도 존재할 수 있고, 그리고 금속 배선막의 저항값에 의해 RC 지연값이 우선적으로 영향을 받을 수 있는 부분도 존재할 수 있다. 이와 같이 국부적으로 RC 지연값에 영향을 주는 변수들이 다를 경우, 그에 맞게 변수들을 조절해서 RC 지연값을 최소화시켜야 한다. 예컨대 절연막의 커패시턴스에 의해 RC 지연값이 우선적으로 영향을 받는 부분에서는, 절연막의 두께를 증가시킴으로써 RC 지연값을 최소화시킬 수 있다. 이 경우 필연적으로 금속 배선막의 두께는 감소된다. 반대로 금속 배선막의 저항값에 의해 RC 지연값이 우선적으로 영향을 받는 부분에서는, 금속 배선막의 두께를 증가시킴으로써 RC 지연값을 최소화시

킬 수 있다. 이 경우에도 절연막의 두께는 감소된다. 따라서 RC 지연값을 최소화하기 위해서는, 단일 공정을 통해 국부적으로 금속 배선막의 두께를 다르게 형성할 필요가 있다.

【발명이 이루고자 하는 기술적 과제】

<7> 본 발명이 이루고자 하는 기술적 과제는, 단일 금속 배선 형성 공정에 의해 서로 다른 두께의 금속 배선막을 갖는 반도체 소자의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<8> 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법은, 커패시터 성분이 RC 지연의 주 원인인 제1 영역과 저항 성분이 RC 지연의 주 원인인 제2 영역을 갖는 반도체 소자의 제조 방법에 있어서, 반도체 기판 위의 절연막에 대한 1차 식각 공정을 수행하여, 제1 두께를 가지며 상기 제1 영역에 위치한 제1 트렌치 및 상기 제2 영역에 위치한 제2 트렌치를 형성하는 단계; 상기 제2 트렌치에 대한 2차 식각 공정을 수행하여, 상기 제1 두께보다 더 큰 제2 두께를 가지며 상기 제2 영역에 위치한 제3 트렌치를 형성하는 단계; 상기 제1 트렌치 및 제3 트렌치를 채우는 금속막을 형성하는 단계; 및 상기 금속막의 일부를 제거하여 상기 제1 트렌치 내의 제1 금속 배선막 및 상기 제3 트렌치 내의 제2 금속 배선막을 형성하는 단계를 포함하는 것을 특징으로 한다.

<9> 상기 금속막은 구리를 사용하여 형성하는 것이 바람직하다.

<10> 상기 구리로 이루어진 금속막은 전기 도금법을 사용하여 형성하는 것이 바람직하다.

- <11> 상기 금속막의 일부를 제거하는 단계는 화학적 기계적 폴리싱 방법을 사용하여 수행하는 것이 바람직하다.
- <12> 상기 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 반도체 소자의 제조 방법은, 커패시터 성분이 RC 지연의 주 원인인 제1 영역과 저항 성분이 RC 지연의 주 원인인 제2 영역을 갖는 반도체 소자의 제조 방법에 있어서, 반도체 기판 위의 절연막 위에 마스크막을 형성하는 단계; 상기 마스크막 위에 상기 제1 및 제2 영역의 마스크막을 노출시키는 제1 포토레지스트막 패턴을 형성하는 단계; 상기 제1 포토레지스트막 패턴을 식각 마스크로 한 1차 식각 공정을 수행하여, 상기 제1 및 제2 영역을 노출시키는 마스크막 패턴과, 제1 두께를 가지며 상기 제1 영역에 위치한 제1 트랜치 및 상기 제2 영역에 위치한 제2 트랜치를 형성하는 단계; 상기 제1 포토레지스트막 패턴을 제거하는 단계; 상기 제1 영역에 위치한 제1 트랜치를 덮고 상기 제2 영역에 위치한 제2 트랜치 및 상기 마스크막 패턴의 일부를 노출시키는 제2 포토레지스트막 패턴을 형성하는 단계; 상기 제2 포토레지스트막 패턴 및 상기 마스크막 패턴을 식각 마스크로 한 2차 식각 공정을 수행하여, 상기 제1 두께보다 더 큰 제2 두께를 가지며 상기 제2 영역에 위치한 제3 트랜치를 형성하는 단계; 상기 제2 포토레지스트막 패턴을 제거하는 단계; 상기 제1 트랜치 및 제3 트랜치를 채우는 금속막을 형성하는 단계; 및 상기 금속막의 일부를 제거하여 상기 제1 트랜치 내의 제1 금속 배선막 및 상기 제3 트랜치 내의 제2 금속 배선막을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <13> 상기 금속막은 구리를 사용하여 형성하는 것이 바람직하다.
- <14> 상기 구리로 이루어진 금속막은 전기 도금법을 사용하여 형성하는 것이 바람직하다.

- <15> 상기 금속막의 일부를 제거하는 단계는 화학적 기계적 폴리싱 방법을 사용하여 수행하는 것이 바람직하다.
- <16> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.
- <17> 도 1 내지 도 7은 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.
- <18> 먼저 도 1을 참조하면, 반도체 기판(102) 위에 절연막(104)을 형성한다. 도면에 도시되어 있지 않지만, 상기 반도체 기판(102) 내에는 다수의 불순물 영역이 형성될 수 있으며, 반도체 기판(102)과 절연막(104) 사이에는 다른 물질층이 형성될 수도 있다. 또한 상기 절연막(104)은 복수개의 절연층으로 이루어질 수도 있다. 상기 절연막(104)을 형성한 후에는, 절연막(104) 위에 마스크막(106)을 형성한다. 그리고 마스크막(106) 위에 포토레지스트막 패턴(108)을 형성한다. 상기 포토레지스트막 패턴(108)은 마스크막(106)의 일부 표면들을 노출시키는 제1 내지 제3 개구부(111, 112, 113)를 갖는다. 여기서 제1 개구부(111) 및 제3 개구부(113)는 상대적으로 얇은 두께의 금속 배선막이 형성될 부분이고, 제2 개구부(112)는 상대적으로 두꺼운 금속 배선막이 형성될 부분이다.
- <19> 다음에 도 2를 참조하면, 포토레지스트막 패턴(108)을 식각 마스크로 한 1차 식각 공정을 수행하여 마스크막(106) 및 절연막(104)의 일부를 순차적으로 제거한다. 1차 식각 공정 후, 마스크막 패턴(107)이 만들어지고, 또한 절연막(104)에는 제1 두께(d1)를 갖는 제1 내지 제3 트렌치(121, 122, 123)가 만들어진다.

- <20> 다음에 도 3을 참조하면, 상기 포토레지스트막 패턴(도 2의 108)을 제거하고, 다시 포토레지스트막 패턴(130)을 형성한다. 이 포토레지스트막 패턴(130)은, 제1 트렌치(121) 및 제3 트렌치(123)을 덮는 반면에, 제2 트렌치(122)와 이 제2 트렌치(122)를 둘러싸는 마스크막 패턴(106)의 일부를 노출시킨다.
- <21> 다음에 도 4를 참조하면, 포토레지스트막 패턴(130) 및 노출된 마스크막 패턴(107)을 식각 마스크로 한 2차 식각 공정을 수행하여 노출된 절연막(104)의 일부를 제거한다. 2차 식각 공정 후, 절연막(104)에는 제1 두께(d1)보다 더 두꺼운 제2 두께(d2)의 제4 트렌치(140)가 만들어진다. 2차 식각 공정 동안에, 제1 두께(d1)의 제1 트렌치(121)와 제3 트렌치(123)는 포토레지스트막 패턴(130)에 의해 덮여 있었으므로 식각에 의한 영향 없이 제1 두께(d1)를 여전히 유지한다.
- <22> 다음에 도 5를 참조하면, 상기 포토레지스트막 패턴(도 4의 130)을 제거한다. 그러면 마스크막 패턴(107)이 노출되는 동시에, 제1 두께(d1)의 제1 트렌치(121) 및 제3 트렌치(123)와, 제2 두께(d2)의 제4 트렌치(140)도 역시 노출된다.
- <23> 다음에 도 6을 참조하면, 제1 및 제3 트렌치(121, 123)와 제4 트렌치(140) 내부를 완전히 채우도록, 마스크막 패턴(107)과 절연막(104) 위에 금속막(150)을 형성한다. 상기 금속막(150)은 1.7μm의 비교적 낮은 비저항(resistivity)을 갖는 구리(Cu)를 사용하여 형성할 수 있다. 이 경우 금속막(150)은, 구리 종자층(Cu seed layer)를 이용한 EP(ElectroPlating)법을 사용함으로써 형성할 수 있지만, 다른 방법을 사용해도 무방하다.
- <24> 다음에 점선으로 나타낸 부분(A)까지 제거되도록 평탄화 공정을 수행한다. 이 평탄화 공정은 화학적 기계적 폴리싱(CMP; Chemical Mechanical Polishing) 방법을 사용하

여 수행할 수 있다. 상기 평탄화 공정은 마스크막 패턴(107)이 노출되도록 하여, 마스크막 패턴(107)을 덮고 있던 금속막(150)을 제거한다. 그러면, 도 7에 도시된 바와 같이, 상호 분리된 제1 금속 배선막(151), 제2 금속 배선막(152) 및 제3 금속 배선막(153)이 완성된다. 상기 제1 금속 배선막(151) 및 제3 금속 배선막(153)의 두께(d_1')는 제2 금속 배선막(152)의 두께(d_2')보다 얇다. 상대적으로 두께가 얇은 제1 금속 배선막(151)과 제3 금속 배선막(153) 하부의 절연막(104) 두께(d_3)는 상대적으로 두꺼워지고, 반대로 상대적으로 두께가 두꺼운 제2 금속 배선막(152) 하부의 절연막(104) 두께(d_4)는 상대적으로 얇아진다.

<25> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

【발명의 효과】

<26> 이상의 설명에서와 같이, 본 발명에 따른 반도체 소자의 제조 방법은, 서로 다른 두께의 금속 배선막을 동시에 형성함으로써, 특히 커패시터가 RC 지연의 주 원인인 영역에서는 상대적으로 얇은 두께의 금속 배선막이 형성되도록 하고, 저항이 RC 지연의 주 원인인 영역에서는 상대적으로 두꺼운 금속 배선막이 형성되도록 함으로써, 소자의 RC 지연을 감소시킬 수 있다는 이점을 제공한다..

【특허청구범위】**【청구항 1】**

커패시터 성분이 RC 지연의 주 원인인 제1 영역과 저항 성분이 RC 지연의 주 원인인 제2 영역을 갖는 반도체 소자의 제조 방법에 있어서,

반도체 기판 위의 절연막에 대한 1차 식각 공정을 수행하여, 제1 두께를 가지며 상기 제1 영역에 위치한 제1 트렌치 및 상기 제2 영역에 위치한 제2 트렌치를 형성하는 단계;

상기 제2 트렌치에 대한 2차 식각 공정을 수행하여, 상기 제1 두께보다 더 큰 제2 두께를 가지며 상기 제2 영역에 위치한 제3 트렌치를 형성하는 단계;

상기 제1 트렌치 및 제3 트렌치를 채우는 금속막을 형성하는 단계; 및

상기 금속막의 일부를 제거하여 상기 제1 트렌치 내의 제1 금속 배선막 및 상기 제3 트렌치 내의 제2 금속 배선막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 2】

제1항에 있어서,

상기 금속막은 구리를 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제2항에 있어서,

상기 구리로 이루어진 금속막은 전기 도금법을 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제1항에 있어서,

상기 금속막의 일부를 제거하는 단계는 화학적 기계적 폴리싱 방법을 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

커패시터 성분이 RC 지연의 주 원인인 제1 영역과 저항 성분이 RC 지연의 주 원인인 제2 영역을 갖는 반도체 소자의 제조 방법에 있어서,

반도체 기판 위의 절연막 위에 마스크막을 형성하는 단계;

상기 마스크막 위에 상기 제1 및 제2 영역의 마스크막을 노출시키는 제1 포토레지스트막 패턴을 형성하는 단계;

상기 제1 포토레지스트막 패턴을 식각 마스크로 한 1차 식각 공정을 수행하여, 상기 제1 및 제2 영역을 노출시키는 마스크막 패턴과, 제1 두께를 가지며 상기 제1 영역에 위치한 제1 트렌치 및 상기 제2 영역에 위치한 제2 트렌치를 형성하는 단계;

상기 제1 포토레지스트막 패턴을 제거하는 단계;

상기 제1 영역에 위치한 제1 트렌치를 덮고 상기 제2 영역에 위치한 제2 트렌치 및 상기 마스크막 패턴의 일부를 노출시키는 제2 포토레지스트막 패턴을 형성하는 단계;

상기 제2 포토레지스트막 패턴 및 상기 마스크막 패턴을 식각 마스크로 한 2차 식각 공정을 수행하여, 상기 제1 두께보다 더 큰 제2 두께를 가지며 상기 제2 영역에 위치한 제3 트렌치를 형성하는 단계;

상기 제2 포토레지스트막 패턴을 제거하는 단계;

상기 제1 트렌치 및 제3 트렌치를 채우는 금속막을 형성하는 단계; 및

상기 금속막의 일부를 제거하여 상기 제1 트렌치 내의 제1 금속 배선막 및 상기 제3 트렌치 내의 제2 금속 배선막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제5항에 있어서,

상기 금속막은 구리를 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제6항에 있어서,

상기 구리로 이루어진 금속막은 전기 도금법을 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

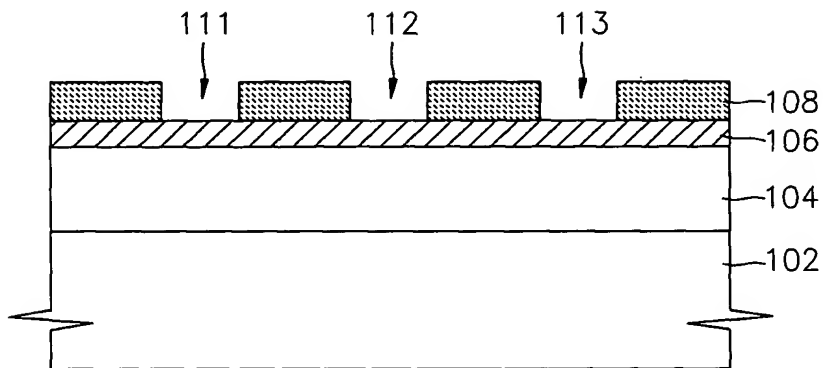
【청구항 8】

제5항에 있어서,

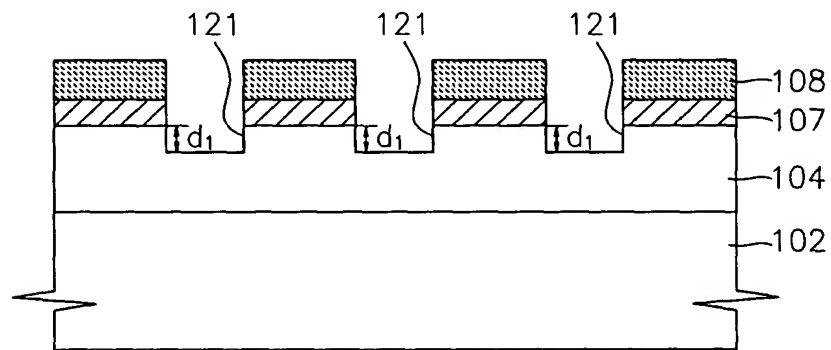
상기 금속막의 일부를 제거하는 단계는 화학적 기계적 폴리싱 방법을 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

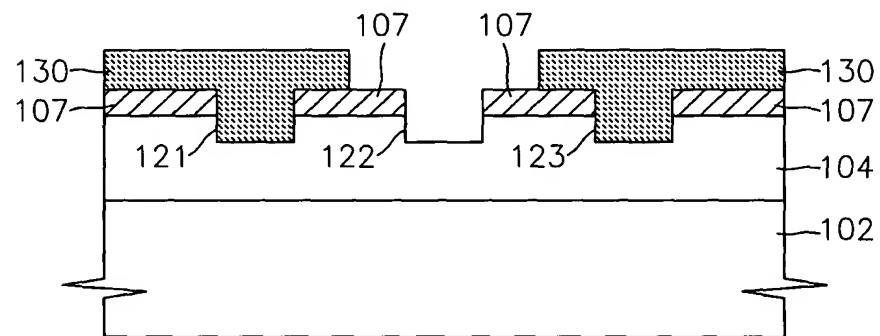
【도 1】



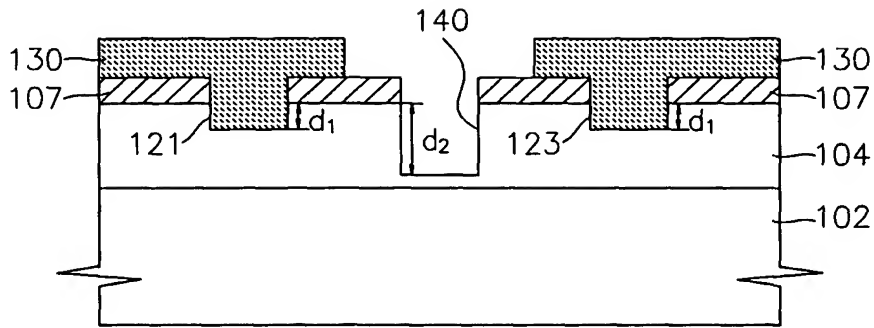
【도 2】



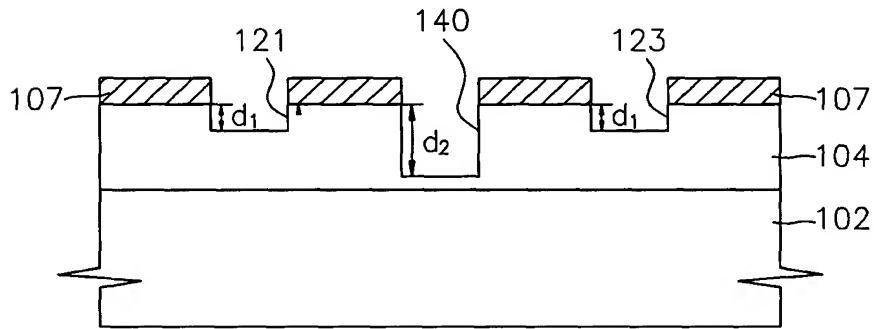
【도 3】



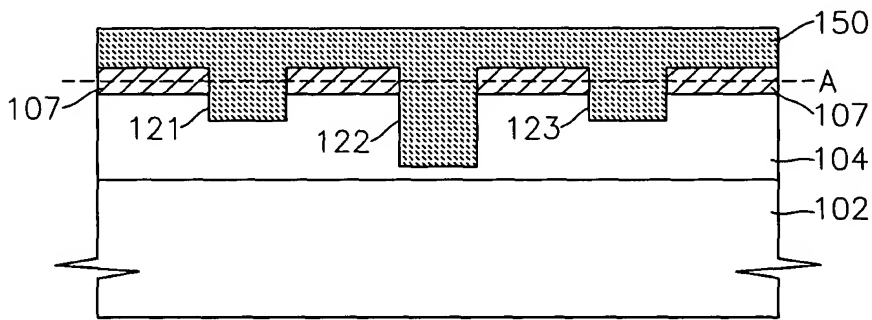
【도 4】



【도 5】



【도 6】



【도 7】

